

Published Serial No. 480485

Abstract A refresh period automatic detecting device for a semiconductor memory device including a power-up detector unit detecting power applied from a system; control unit producing a read/write timing control signal for internal data and at least one control signal to control the overall components of the device in response to an output signal of the power-up detector unit; an internal data generator unit producing internal data in response to the control signal; a comparator unit comparing the internal data with internal data stored in a cell; and a refresh circuit unit determining and storing a refresh period from the time relationship between the read/write timing control signal by the control signal of the control unit if the two data do not correspond to each other.

中華民國專利公報 [19] [12]

[11]公告編號：480485

[44]中華民國 81年(2002) 03月21日

發明

全 5 頁

[51] Int.Cl⁰⁷: G11C11/402

[54]名稱：半導體記憶體元件之更新週期自動偵測裝置，自動偵測更新週期之方法，及更新週期輸出裝置

[21]申請案號：088123098

[22]申請日期：中華民國 88年(1999) 12月28日

[72]發明人：

曹圭石

韓國

[71]申請人：

現代電子產業股份有限公司

韓國

[74]代理人：林鑑珠 先生

1

[57]申請專利範圍：

- 1.一種用於半導體記憶體元件之更新週期自動偵測裝置，其包含：
 - 一個開機偵測器裝置，其偵測由一個系統所施加之功率；
 - 一個控制裝置，其產生一個用於內部資料之讀出/寫入時序控制訊號，及至少一個控制訊號，以控制該偵測裝置之所有元件，以回應一個該開機偵測裝置之輸出訊號；
 - 一個內部資料產生器裝置，其產生內部資料，以回應該控制訊號；
 - 一個比較器裝置，其比較該內部資料及儲存於晶胞中之內部資料；及
 - 一個更新電路裝置，其在該兩個資料不互相對應之情況下，藉由該控制裝置之控制訊號，由該讀出/寫入時序控制訊號之間之時間關係，決定及儲存一個更新週期。
- 2.如申請專利範圍第1項之用於半導體記憶體元件之更新週期自動偵測裝

2

置，其中，該控制裝置包含：

自我測試控制裝置，其用以產生控制訊號，以回應該開機偵測裝置之輸出訊號；

5. 時鐘產生裝置，其用以產生時鐘訊號，以回應該自動測試控制裝置之控制訊號；

計時器裝置，其用以計數及輸出該時鐘訊號，以回應該自我測試控制裝置之控制訊號；

10. 除頻裝置，其用以透過該計時器裝置而將該時鐘訊號除頻；

位址產生裝置，其藉由調整一個該除頻裝置之輸出訊號，而產生一個內部行/列位址，以回應該計時器裝置之輸出訊號；

15. 讀出時序產生裝置，其產生一個用於讀出資料之訊號，以回應該除頻裝置及位址產生裝置之每一個的輸出訊號；及
- 20.

(2)

3

- 寫入時序產生裝置，其接收該除頻器裝置及位址產生裝置之每一個的輸出訊號。
- 3.如申請專利範圍第1項之用於半導體記憶體元件之更新週期自動偵測裝置，其中，該內部資料產生裝置產生比該系統之電源供應電壓為低之高準位資料，及產生比該系統之電源供應電壓為高之低準位資料。
- 4.如申請專利範圍第1項之用於半導體記憶體元件之更新週期自動偵測裝置，其中，該內部資料產生裝置產生與該系統之電源供應電壓相同之高準位資料，及與該系統之接地電壓相同之低準位資料。
- 5.如申請專利範圍第3項之用於半導體記憶體元件之更新週期自動偵測裝置，其中，該資料產生裝置包含：
一個第一電阻器，其具有一個連接至一個電力線之端點；
一個第二電阻器，其串接於該第一電阻器之另一端；
一個第三電阻器，其串接於該第二電阻器；
一個第一開關，其具有分別連接至該第一電阻器之兩端之兩個端點；
一個第二開關，其置於該第二及第三電阻器之間；
寫入驅動裝置，其具有連接於該第一開關及該第二電阻器之一端之間的一個端點，且另一個端點係連接於該第二開關之另一端及該第三電阻器之一端之間；及
一個第三開關，其具有兩個端點，分別連接至該第三電阻器之一端及另一端，其中，該第一及第三開關於操作期間被該控制裝置之控制訊號所導通，以尋找讀更新週期，且在偵測該更新週期之後，該控制裝置之控制訊號被輸入作為一個反相

4

- 訊號，以將該第二開關關閉。
- 6.如申請專利範圍第5項之用於半導體記憶體元件之更新週期自動偵測裝置，其中，該第一及第三電阻器之每一個係可變電阻。
- 7.一種更新週期外部輸出系統，其係包含：
一個偵測器裝置，其偵測一個測試模式，以回應於一個由外部施加之給定位址訊號；
一個更新測試控制裝置，其係被該偵測裝置之一個偵測訊號所致動，且產生複數個用於更新測試之控制訊號；
一個更新電路裝置，其產生一個訊號，以回應該控制訊號之一；
一個資料輸出控制裝置，其控制資料輸出，以回應該控制訊號之一；及
一個資料輸出電路，其產生一個訊號，以回應該資料輸出控制裝置之控制訊號之更新週期。
- 8.一種自動偵測半導體記憶體裝置之更新週期之方法，該方法包含下列步驟：
偵測由一個系統施加之功率；
產生一個用於內部資料讀出/寫入時序控制訊號及至少一個控制訊號，以回應一個輸出偵測訊號；
儲存回應該控制訊號所產生之內部資料於一個晶胞之中；
將該資料由該晶胞讀出，以回應該控制訊號；
比較由該晶胞中讀出之資料及先前儲存於晶胞中之資料，以回應該控制訊號；及
假如該兩個資料不互相對應，則決定資料讀出及寫入步驟之間之時間間隔作為資料維持時間，且儲存該資料維持時間作為更新週期。

(3)

5

6

9.如申請專利範圍第8項之自動偵測半導體記憶體裝置之更新週期之方法，其包含下列步驟：

假如該兩個資料彼此對應，則儲存內部資料；

由該晶胞讀出資料；及

重覆該比較步驟，直到藉由改變一個計時器裝置之延遲時間而該兩個資料不互相對應。

10.如申請專利範圍第8項之自動偵測半導體記憶體裝置之更新週期之方法，其中，藉由該控制訊號，該內部資料高準位資料係被產生比該系統之電源供應電壓為低，且該低

準位資料係被產生比該系統之接地電壓為高。

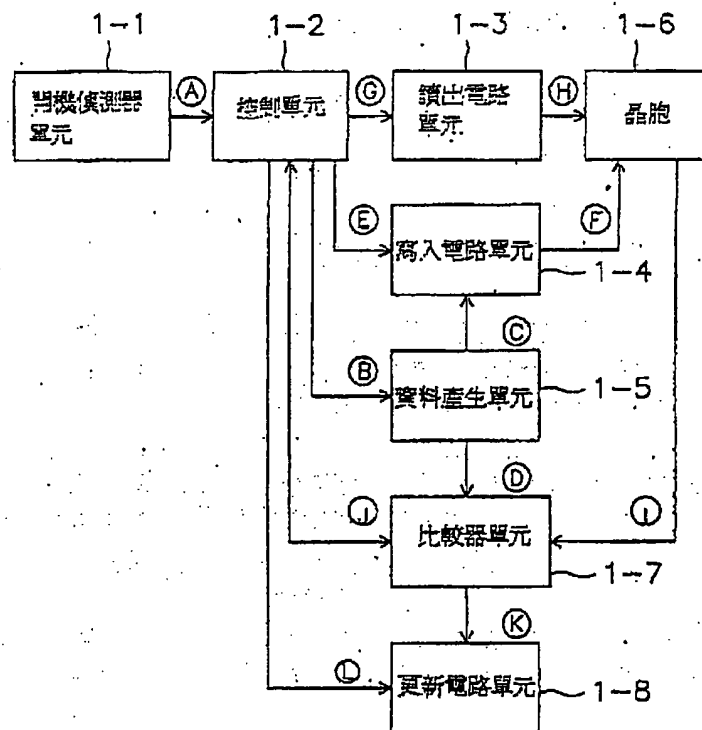
圖式簡單說明：

第1圖係一個根據本發明之半導體記憶體元件之更新週期自動偵測裝置之方塊圖；

第2圖係第1圖之控制單元之方塊圖；

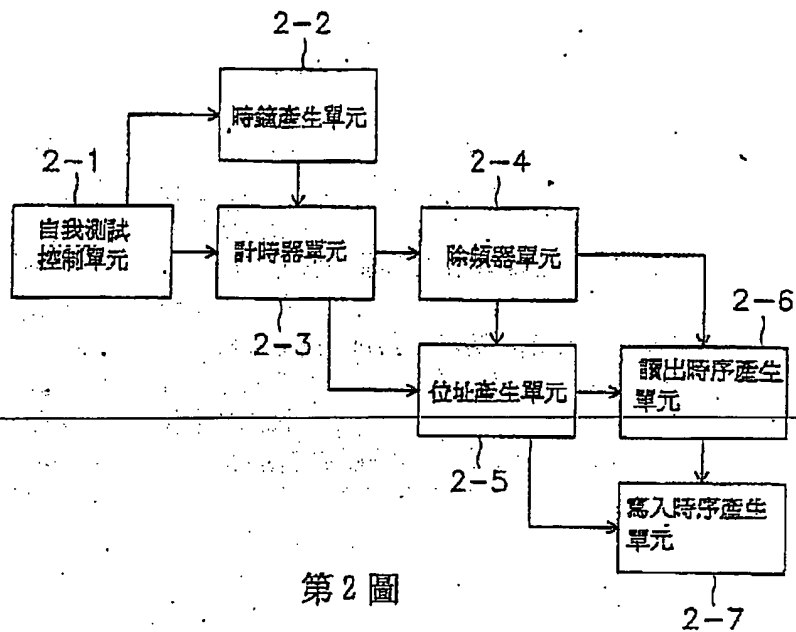
第3圖係一個根據本發明之半導體記憶體元件之更新週期外部輸出裝置之方塊圖；及

第4圖係說明根據第1圖之資料產生單元之另一個實施例之部份結構圖，其能改變資料之電壓準位。

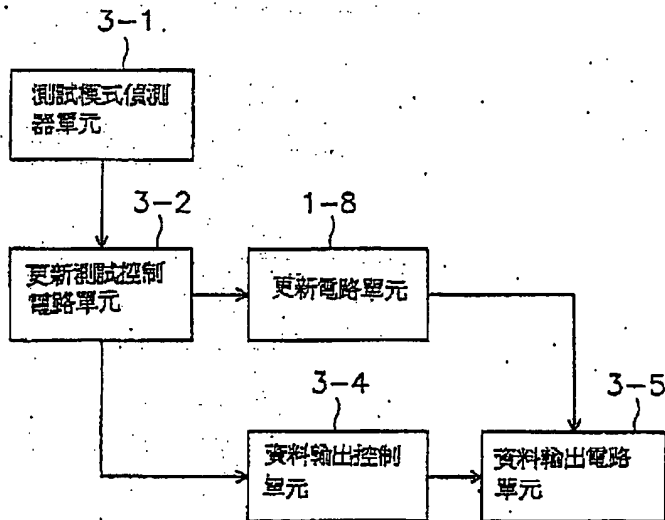


第1圖

(4)

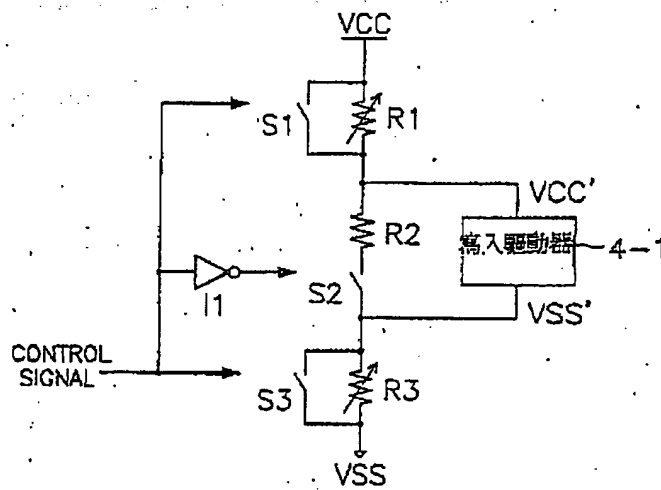


第 2 圖



第 3 圖

(5)



第 4 圖